

5G00001

(配布先)

固定配布先
(本技)長°
(本知財)長°
(RDC)長
→ [技官G]長
→ [企画G]長
→ [知財G]長
(MD研)長°
(C I 研)長°
(EM研)長°
(UL研)長°
(関西研)長°
(S 件)長°
(環境研)長°
(基ソ研)長°

指定配布先

(RDC)(UL研)
[UL1]長
→ 白田(研)
→ 田中(務)
(半技研)
→ (半技研)長°
→ [U 技開]長
→ (NTG)長
→ 渡辺(査)
→ [M 技開]長°
→ (DDG)長
→ (EDG)長
→ (半技C)
→ [三M 技]長
→ (M 設二)長
→ 中井(務)
→ [-M 応]長
→ (M 応二)長
→ 本間(務)
(タマ)
→ [-M 技]長
→ (二MG)長
→ 百富(長)
(大分)
→ [M 技P]長
→ (M 応技)長
→ 村上(務)

つづき有・無

0頁のみ配布の場合は配布先の右側に〇印を記入

	技術報告 (研究速報)	受入番号 報告番号 RM-37697																				
研究番号・製番 または仕事番号 AKL3	発行年月日 1996年2月21日	研究開発センター 北総 TEL 7-521-2314 配布等級 3 機密保持年限 2*のみ記入 西暦: 年 報告年月日 1996年2月8日																				
題目 32Mbit NAND EEPROM の設計 — Rev.C、GT92C/D	<p>(所属略号) (事業場・部所・グループ)</p> <p>(従業員番号・氏名)</p> <p>印</p> <table border="1"> <tr><td>大平秀子</td><td>岩田佳久</td><td>今宮賢一</td><td>杉浦義久</td><td>武山泰久</td><td>中村寛</td><td>皆川英信</td><td>辰巳雄一</td><td>鈴木範明</td><td>太田均</td></tr> <tr><td>860054138</td><td>83011910</td><td>86010010</td><td>90068910</td><td>92111910</td><td>90096410</td><td>82005009</td><td>85003109</td><td>88006709</td><td>93006809</td></tr> </table>		大平秀子	岩田佳久	今宮賢一	杉浦義久	武山泰久	中村寛	皆川英信	辰巳雄一	鈴木範明	太田均	860054138	83011910	86010010	90068910	92111910	90096410	82005009	85003109	88006709	93006809
大平秀子	岩田佳久	今宮賢一	杉浦義久	武山泰久	中村寛	皆川英信	辰巳雄一	鈴木範明	太田均													
860054138	83011910	86010010	90068910	92111910	90096410	82005009	85003109	88006709	93006809													
頁数 全 525 頁 : 本文 39 頁, 付録 496 頁																						
要旨 (目的・ポイント・方法・結果・結論を簡潔に記入: 400字以内)	<p>目的 32Mb NAND EEPROM は、(二MG),(M 応二),(M 応G)からテストモードの追加、チップサイズの縮小、spec.未達項目などを修正するためにリファイン(Rev.B)を行なった。その評価の結果、まだ spec.未達項目やマージンのない所があったので、CSに向けて再度リファイン(Rev.C,GT92C/D)を行なうこととした。</p>																					
概要 (目的の詳細説明)	<p>概要 Rev.B の評価結果で spec OUTとなつた tREA,tCS,tCHZ は、内部信号の配線の引き回しを変えたり、中間バッファを入れることによって、かなりの効果があり、spec 内に収めることが出来た。動作電流を減らすために、昇圧回路の段数を見直した。Read 時間短縮のため、内部で決めている CLK 信号の見直しを行なった。AI マスク・オプションにより、セルフブート書き込みにも対応している。その書き込み方式の評価結果速報もまとめる。今回のリファインで、タイミングに関する SPEC OUT や回路ミスも無くなり、大分 CS に近付いたと思う。</p>																					
特許 (特許出願状況、他社特許との関連)																						
特記事項 (英文タイトル) (共同(委託)研究、技術援助、受託(補助金)研究等があれば、その名称)	<p>Circuit design of 32Mbit NAND EEPROM minor refine. (上長記入) 32Mbit NAND EEPROM Rev.C, GT92C/D の集成。AI マスク・オプションにより、セルフブート書き込み方式も対応している。(作成)</p>																					
キーワード (階層又はブロック体で記入) 32M NAND, GT92A, GT92B, GT92C, NAND EEPROM	FH 009704																					
BU名 X63																						

株式会社 東芝

技術報告書 0 頁 (記入方法は会社規定(技術編)による) 2\*は技術目録に不掲載

32メガビット(4M×8ビット)CMOS NAND E<sup>2</sup>PROM概要

TC5832FTは、528バイト×16ページ×512ブロック構成5.0V単一電源動作の34M(34,603,008)ビット不揮発性メモリです。内部に528バイトのスタティックなレジスターを備えており、プログラム及びリード動作は、このレジスターとメモリセルアレー間で528バイト単位でデータを転送させる方式をとっています。また消去はブロック(8kバイト+256バイト: 528バイト×16ページ)単位または複数ブロック同時に実行できます。

TC5832FTは、アドレス、データ、コマンドをI/O端子からシリアルに入出力する完全シリアルタイプのメモリでプログラム、消去動作は内部で自動実行させる方式を探っているため、使いやすく半導体ディスク等のファイル応用の他、音声録音再生応用、スタイルカメラのイメージファイルメモリ等の応用、また各種応用機器における不揮発性が要求される大容量バッファメモリ応用に最適です。

特長

- 構成 メモリセルアレイ : 528×8k×8  
レジスタ : 528×8  
ページサイズ : 528バイト  
ブロックサイズ : (8k+256)バイト
- 機能 リード、リセット、オートページプログラム  
オートブロック消去、オートマルチブロック消去  
サスペンド/リジューム、ステータスリード
- 動作コントロール : 完全シリアル入出力  
コマンドコントロール方式
- パッケージ : 400mil TSOP Type II  
TC5832FT : TSOP44-P-400B
- 5.0V単一電源動作 : V<sub>CC</sub> = 5.0V ± 0.5V
- アクセス時間  
セルアレー → レジスタ : 10μs max.  
シリアルリードサイクル : 50ns min.
- 動作電流  
リード(50nsサイクル) : 15mA typ.  
プログラム時平均 : 40mA typ.  
消去時平均 : 20mA typ.  
スタンバイ時 : 100μA

ピン接続 (TOP VIEW)

TC5832FT	
V <sub>SS</sub>	1
CLE	2
ALE	3
WE	4
WP	5
N.C.	6
N.C.	7
N.C.	8
N.C.	9
N.C.	10
	11
	12
N.C.	13
N.C.	14
N.C.	15
N.C.	16
N.C.	17
I/O1	18
I/O2	19
I/O3	20
I/O4	21
V <sub>SS</sub>	22
	23
	24
	25
	26
	27
	28
	29
	30
	31
	32
	33
	34
	35
	36
	37
	38
	39
	40
	41
	42
	43
	44
	V <sub>CC</sub>

ピン名称

I/O <sub>1~8</sub>	アドレス・データコマンド入出力ポート
CE	チップイネーブル
WE	ライトイネーブル
RE	リードイネーブル
CLE	コマンドラッチイネーブル
ALE	アドレスラッチイネーブル
WP	ライトプロテクト
R/B	レディー、ビジー出力
O.P.	オプションピン
V <sub>CC</sub>	電源
V <sub>SS</sub>	グランド

O.P. グランド入力 : 528バイト/ページとして動作  
V<sub>CC</sub>入力 : 512バイト/ページとして動作

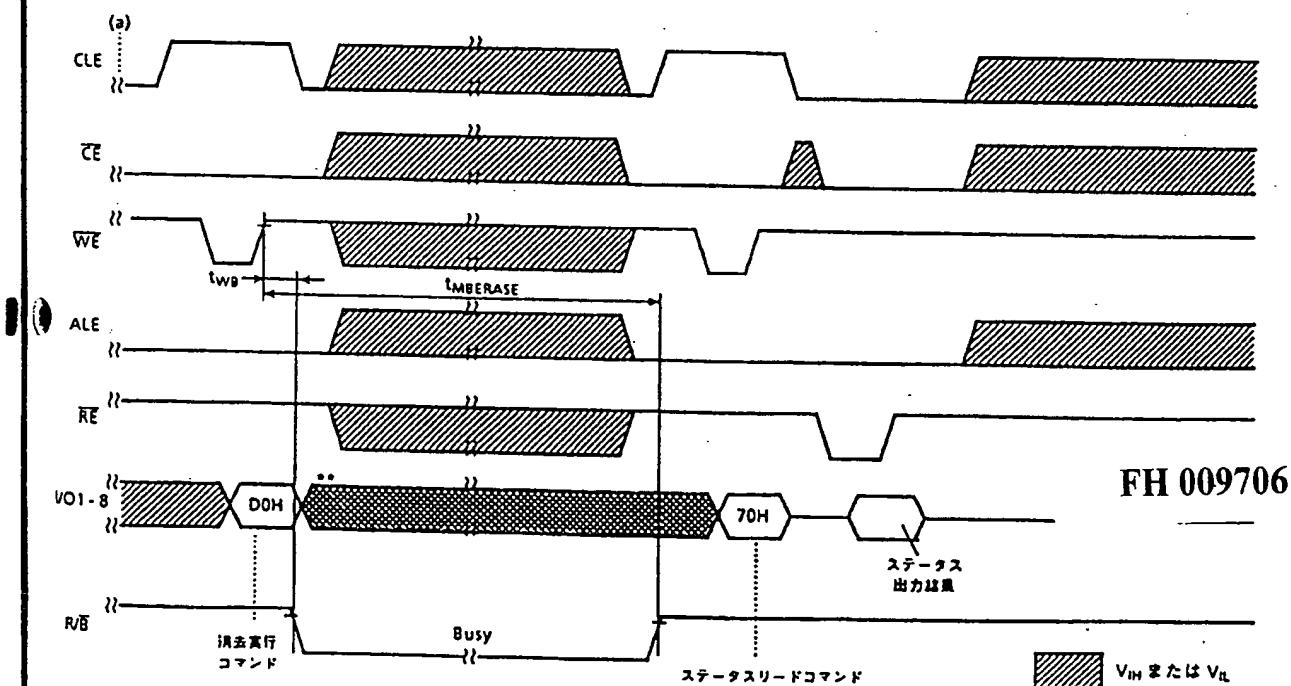
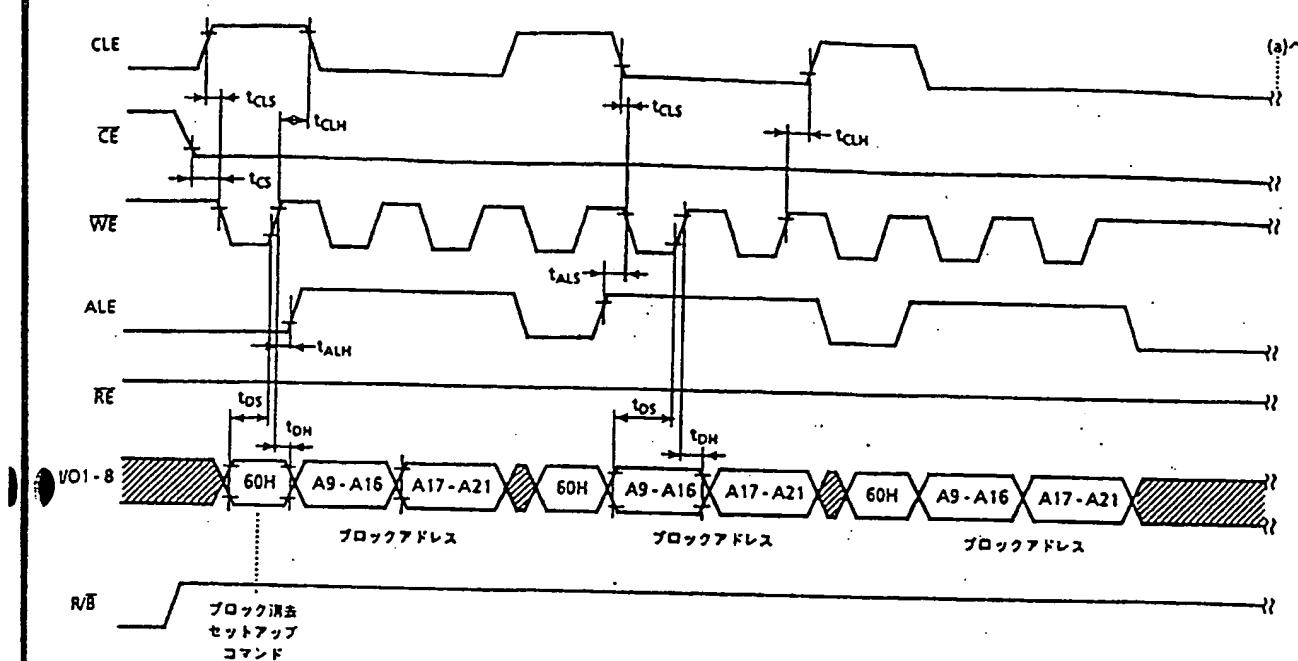
FH 009705

470 / 514

TC5832FT-2

Rev.C

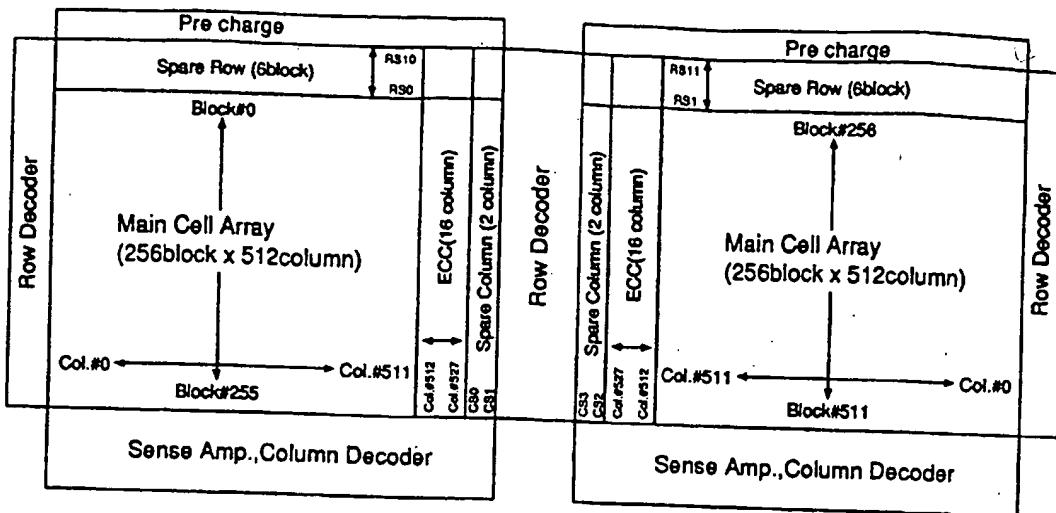
株式会社 東芝  
RM-37697

オートマルチブロック消去タイミング

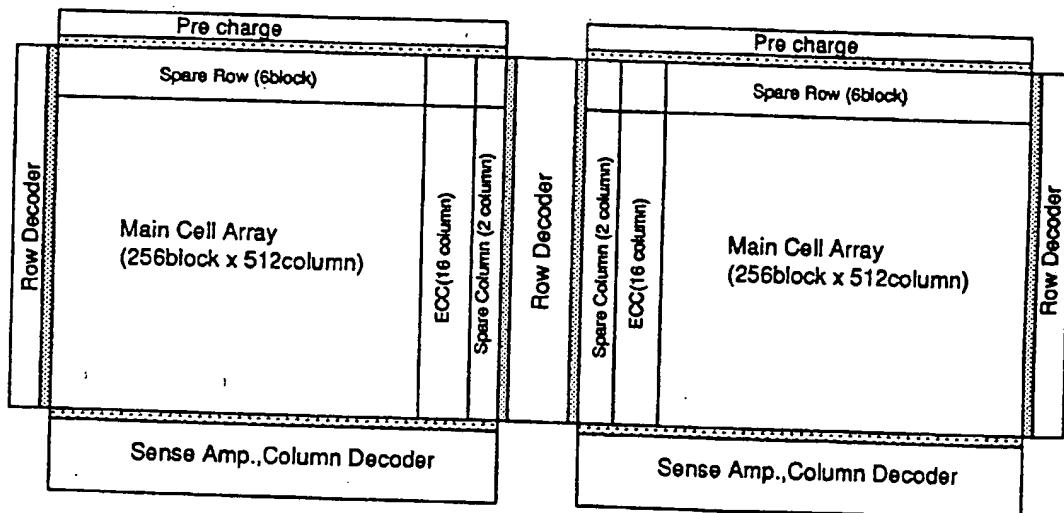
(a) : 一連の動作タイミングの切断点です。上下図面合わせて1つの動作タイミングで示します。

\*\* データ出力時は、入力データを衝突させないで下さい。

## 2 Cell Array の構成



## 3 Dummy Line の構成



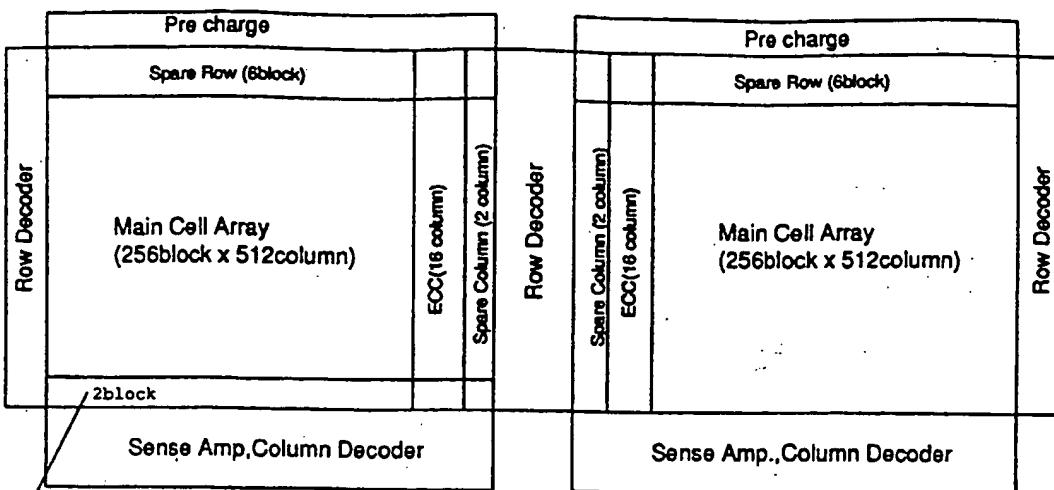
- dummy bit line Area --- 5bit line分
- dummy word line Area --- 4word line分

FH 009707

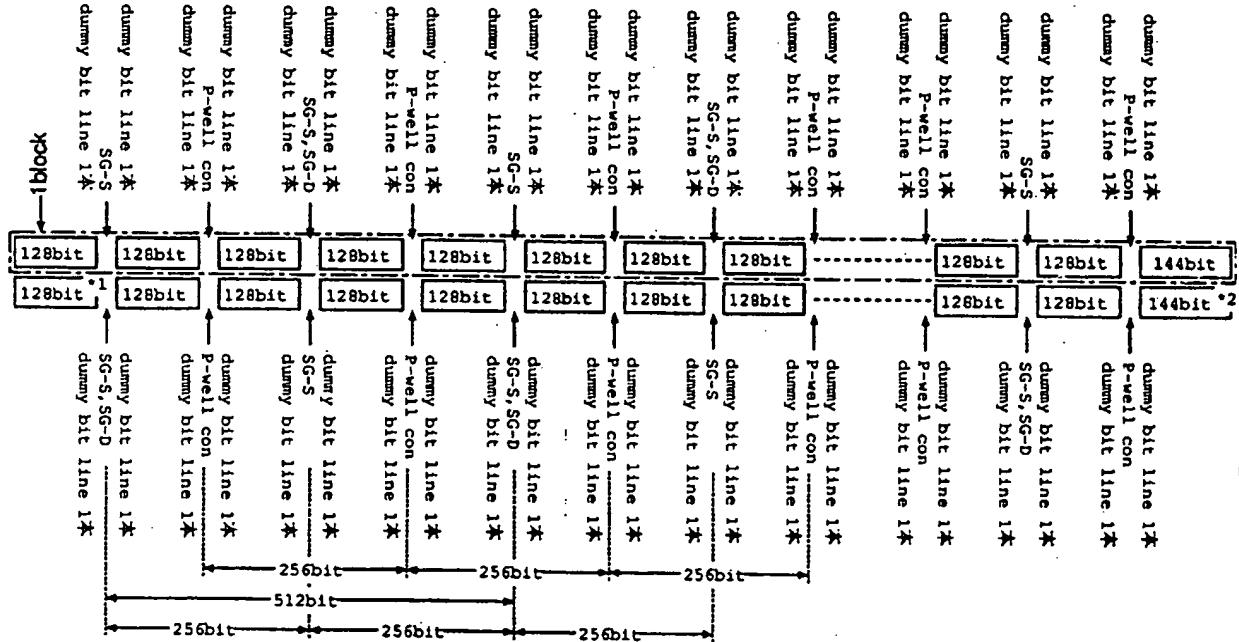
513 / 514

RM-37697

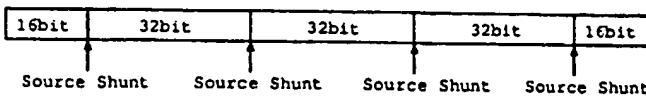
#### 4 shunt の構成 (SG-S,SG-D,Pwell con,Source con)



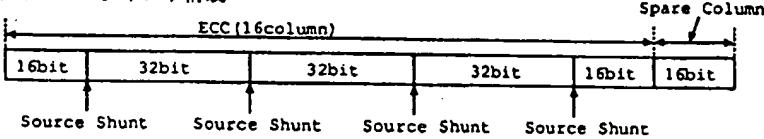
#### 2blockのシャント構成 (SG-D, SG-S, Pwell-con)



#### \*1 ソース シャント構成



## \*2 ソース シャント構成



FH 009708

514 / 514

RM-37697